

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

### **IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-97997  
(P2000-97997A)

(43) 公開日 平成12年4月7日(2000.4.7)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	フォーマット(参考)
G 0 1 R 31/28		G 0 1 R 31/28	G 2 G 0 3 2
G 0 6 F 11/22	3 6 0	G 0 6 F 11/22	3 6 0 P 5 B 0 4 8

審査請求 有 請求項の数7 O L (全 8 頁)

(21) 出願番号 特願平10-263832

(22) 出願日 平成10年9月18日(1998.9.18)

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式会  
社  
神奈川県川崎市中原区小杉町1丁目403番  
53

(72) 発明者 寺本 裕幸

神奈川県川崎市中原区小杉町一丁目403番  
53 日本電気アイシーマイコンシステム株  
式会社内

(74) 代理人 100080816

弁理士 加藤 朝道

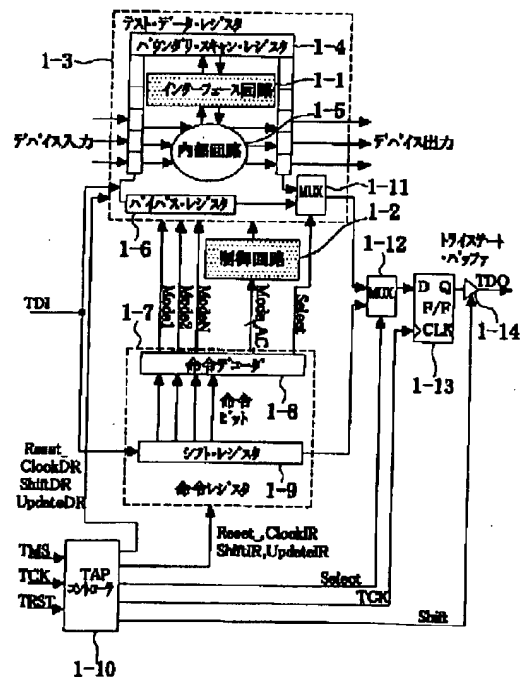
最終頁に続く

(54) 【発明の名称】 バウンダリ・スキャン・テスト機能を用いたAC測定回路

(57) 【要約】

【課題】 バウンダリ・スキャン・テスト機能を有するLSIデバイスの任意デバイス入力ピン及びデバイス出力ピンのAC測定を内部のフリップ・フロップ・フリップ・フロップ間とは独立させて行うことを可能としたAC測定回路の提供。

【解決手段】 バウンダリ・スキャン・テスト機能を有するLSIデバイスに、内部回路とバウンダリ・スキャン・レジスタとの間にインターフェース回路を備えるとともに、デバイス入力ピン及びデバイス出力ピンAC測定実行用の私的命令を命令デコーダでデコードした信号を受けて制御信号を出力する制御回路を備え、デバイス入力ピンから初段のフリップ・フロップまで、及び、最終段のフリップ・フロップからデバイス出力ピンまでを独立して観測可能としている。



## 【特許請求の範囲】

【請求項1】 バウンダリ・スキャン・テスト機能を有するLSIデバイスにおいて、

内部回路とバウンダリ・スキャン・レジスタとの間にインターフェース回路を備えるとともに、デバイス入力ピン及びデバイス出力ピンのAC測定実行用の私的命令の実行を制御する制御回路を備え、

バウンダリ・スキャン・レジスタ機能を用いて、前記デバイス入力ピンから初段のフリップ・フロップまで、及び、最終段のフリップ・フロップから前記デバイス出力ピンまでを、前記内部回路をなすフリップ・フロップ・フリップ・フロップ間の動作とは独立して観測可能とした、ことを特徴とするLSIデバイス用テスト回路。

【請求項2】 前記デバイス入力ピンのAC測定が、前記デバイス入力ピンからのデバイス入力データが前記初段のフリップ・フロップでラッチできるか否か判定することで行われる、ことを特徴とする請求項1記載のLSIデバイス用テスト回路。

【請求項3】 前記デバイス出力ピンのAC測定が、最終段のフリップ・フロップからのデータの遅延を判定することで行われる、ことを特徴とする請求項1又は2記載のLSIデバイス用テスト回路。

【請求項4】 バウンダリ・スキャン・テスト機能を有するLSIデバイスにおいて、

デバイス入力ピン及びデバイス出力ピンAC測定実行用の私的命令の実行を制御する制御回路と、

前記制御回路から出力される制御信号により、内部ロジック回路とバウンダリ・スキャン・レジスタとの間のデータバスの切替を行なうセレクト群と、を備え、

AC測定実行用の私的命令の実行により、前記バウンダリ・スキャン・レジスタを用いて、前記デバイス入力ピンから、初段のフリップ・フロップまで、及び、最終段のフリップ・フロップからデバイス出力ピンまでを、内部回路をなすフリップ・フロップ・フリップ・フロップ間の動作とは、独立して観測可能に構成されてなる、ことを特徴とするLSIデバイス用テスト回路。

【請求項5】 前記セレクト群がデバイス入力データと、初段のフリップ・フロップの出力データを入力し、前記制御回路からの制御信号によって、前記バウンダリ・スキャン・レジスタに取り込むデータを切り替える第1のセレクトと、

前記制御回路からの制御信号によって、前記バウンダリ・スキャン・レジスタからの出力データの出力先を、通常のバスもしくはテスト用のバスに切り替える第2のセレクトと、

最終段のフリップ・フロップの前段に設けられ、通常のデータと、テスト用バスのデータである前記第2のセレクトの出力とを入力し、前記制御回路からの制御信号によって、一方に切り替えて出力する第3のセレクトと、を含む、ことを特徴とする請求項4記載のLSIデバイス

用テスト回路。

【請求項6】 前記デバイス入力ピンのAC測定の私的命令実行時、前記制御回路は、前記初段のフリップ・フロップのデータ出力を、前記バウンダリ・スキャン・レジスタに取り込むように、前記第1のセレクト回路を制御することを特徴とする請求項5記載のLSIデバイス用テスト回路。

【請求項7】 前記デバイス出力ピンのAC測定の私的命令実行時、前記制御回路は、前記バウンダリ・スキャン・レジスタの通常の出力を、前記最終段のフリップ・フロップのデータ入力となるように前記第2のセレクト回路の出力先を制御し、前記第2のセレクト回路の出力を前記最終段のフリップ・フロップのデータ入力となるように前記第3のセレクト回路を制御することを特徴とする請求項5記載のLSIデバイス用テスト回路。

【請求項8】 バウンダリ・スキャン・レジスタ機能を用いて、内部のフリップ・フロップ・フリップ・フロップ間の動作とは独立して、デバイス入力ピン、及びデバイス出力ピンのAC測定を行えるようにしたLSIデバイス用テスト回路。

【請求項9】 LSIデバイスの任意のデバイス入力ピン及びデバイス出力ピンのAC測定を内部のフリップ・フロップ・フリップ・フロップ間とは、独立させて行うように構成したことを特徴とする、LSIデバイス用テスト回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装置に組込まれるテスト回路に関し、特に、バウンダリ・スキャン機能を組込んだ回路のAC測定回路に関する。

## 【0002】

【従来の技術】 従来、LSIデバイスのデバイス入力ピンのAC測定は、図6に示すように、外部システムクロックに対して、デバイス入力データの入力タイミングを可変させながら、デバイス出力データが十分に安定する観測ポイントで期待値と比較し、期待値通りにデータが出力されているかどうかで、セットアップ/ホールド時間等のAC（交流）特性の実力を判定している。

【0003】 一方、デバイス出力ピンのAC測定は、図7に示すように、確実に動作するタイミングでデバイス入力データを入力し、デバイス出力データを観測するポイントを可変させながらデバイス出力期待値と比較し、期待値通りにデータが出力されているかどうかで、伝搬遅延時間等のACの実力を判定している。

【0004】 なお、例えば特開平9-274067号公報には、集積回路の入出力ピン毎にバウンダリ・スキャン用のレジスタを備え、試験時にはテスト用クロックにより該レジスタを動作させ、該レジスタに設定された値を集積回路内外に見せるように構成されたテスト回路において、このレジスタに対してテスト用クロックと集積回

路のシステム用クロックのいずれか一方を選択的に切り替えて供給する切替機構を備え、JTAG方式のテスト回路において集積回路内の任意部分の遅延診断を確実に容易に行なえるようにしたテスト回路が提案されている。この回路では、内部I/Oマクロからフリップフロップ、フリップフロップから内部I/OマクロまでAC測定を行なうものである。

#### 【0005】

【発明が解決しようとする課題】図8は、バウンダリスキャンレジスタを備えたLSIデバイスのAC測定を説明するための図である。図8に示すように、デバイス入力ピンINIから初段のフリップ・フロップ8-3、内部のフリップ・フロップ8-3-フリップ・フロップ8-5間、最終段のフリップ・フロップ8-5からデバイス出力ピンOUTまでを活性化させるテスト・パターンの入力が必要とされ、テスト・パターン数(クロック数)が多く、テスト時間が長くなっていた。

【0006】また、特に、クリティカル・パス8-13を活性化させるパターンを作成するのに時間も掛かっていた。

【0007】近年、LSIデバイスの大規模化が進むに連れて、従来のAC測定手法のままでは、テスト時間、テスト・パターン容量、テスト・パターン作成時間に限界があるため、これらの問題点を改善することが要求されている。

【0008】ところで、デバイス入力ピンのAC測定は、初段のフリップ・フロップでデータをラッチできるかできないか、デバイス出力ピンのAC測定は最終段のフリップ・フロップからのデータの遅延がどうかだけ判定できればよいはずである。

【0009】本発明は、上記知見に基づき創案されたものであって、その目的は、バウンダリ・スキャン・テスト機能を有するLSIデバイスの任意デバイス入力ピン及びデバイス出力ピンのAC測定を内部のフリップ・フロップ-フリップ・フロップ間とは独立させて行うことを可能としたAC測定回路を提供することにある。

#### 【0010】

【課題を解決するための手段】前記目的を達成する本発明は、バウンダリ・スキャン・テスト機能を有するLSIデバイスにおいて、内部回路とバウンダリ・スキャン・レジスタとの間にインターフェース回路を備えるとともに、デバイス入力ピン及びデバイス出力ピンAC測定実行用の私的命令の実行を制御する制御回路を備え、バウンダリ・スキャン・レジスタ機能を用いて、前記デバイス入力ピンから初段のフリップ・フロップまで、及び、最終段のフリップ・フロップから前記デバイス出力ピンまでを、内部のフリップ・フロップ-フリップ・フロップ間の動作とは独立して観測可能としたものである。

#### 【0011】

【発明の実施の形態】本発明の実施の形態について説明する。本発明は、バウンダリ・スキャン機能における私的命令にLSIデバイスの内部ロジック・テスト用の複数の私的命令及びその命令を制御する制御回路と、内部ロジックとバウンダリ・スキャン・レジスタとのインターフェース回路を設けることにより、LSIデバイスのデバイス入力ピン及びデバイス出力ピンのAC測定を行うものである。

【0012】図1は、本発明の一実施の形態を説明するためのブロック図である。図1を参照すると、本発明の実施の形態は、バウンダリ・スキャン・テスト機能を有するLSIデバイスの回路構成に対し、内部回路1-5とバウンダリ・スキャン・レジスタ1-4との間にインターフェース回路1-1を備え、私的命令を制御する制御回路1-2を追加して構成されている。

【0013】追加した複数の私的命令を実行すると、デバイス入力ピンから初段のフリップ・フロップまで、最終段のフリップ・フロップからデバイス出力ピンまでを独立して観測することができる。

20 【0014】このため、バウンダリ・スキャン・レジスタ機能を用いて、内部のフリップ・フロップ-フリップ・フロップ間の動作に関係なく、独立してLSIのデバイス入力ピンまたはデバイス出力ピンのAC測定を行うことができる。

【0015】なお、図1において、テスト・モード・セレクト入力TMS、テスト・クロック信号TCK、テスト・リセットTRST、テスト・データ入力TDI、テスト・データ出力TDO、TAPコントローラ1-10、シフトレジスタと命令デコードからなる命令レジスタ(IR)1-7、バウンダリスキャンレジスタ1-4、テストデータ入力TDIをそのままテストデータ出力TDOにバイパスさせるバイパスレジスタ1-6等のバウンダリ・スキャン・テスト機能及びその構成は、例えばJTAG (Joint Test Action Group) によりIEEE 1149.1として提案されたバウンダリ・スキャン (JTAG) 方式の組込み型試験回路として公知であるので、その詳細な構成は省略する。

#### 【0016】

【実施例】本発明の実施例について図面を参照して以下に説明する。図2は、本発明の一実施例の構成を示す図である。図2を参照すると、本発明の一実施例において、バウンダリ・スキャン・テスト機能を有するLSIデバイスに対して、バウンダリ・スキャン・テスト機能に、内部ロジック・テスト用の複数の私的命令 (Mode\_AC\_IN、Mode\_AC\_OUT) を命令レジスタ2-1に追加し、その命令を命令デコード2-2でデコードした出力を入力して制御出力信号Select\_IN、Select\_OUTを出力する制御回路2-3を備えている。

50 【0017】そして、制御回路2-3からの制御信号によって、バウンダリ・スキャン・レジスタ (BSR) 2-

9に取り込むデータを切り替える第1のセクタ回路2-4と、制御回路2-3からの制御信号によってバウンダリ・スキャン・レジスタ2-9からの出力データを切り替える第2のセクタ回路2-5と、最終段のフリップ・フロップ2-12の前段に設けられ、通常のデータとテスト時のデータを切り替える第3のセクタ回路2-6とを追加する。

【0018】第1のセクタ回路2-4は、デバイス入力データと、内部回路をなす組合せ回路2-14の出力を入力するフリップ・フロップ（初段のフリップフロップ）2-11の出力データとを入力し、制御回路2-3からの制御出力信号Select\_INで出力を切り替えてバウンダリ・スキャン・レジスタ（BSR）2-9に入力する。

【0019】第2のセクタ回路2-5は、バウンダリ・スキャン・レジスタ2-9の通常出力を入力し、制御回路2-3からの制御出力信号Select\_OUTにより、出力先を通常のバスか、第3のセクタ回路2-6の入力に切り替える。

【0020】第3のセクタ回路2-6は、第2のセクタ回路2-5で選択されたテスト・データと、通常のバスのデータとを入力し、制御回路2-3からの制御出力信号Select\_OUTで切り替えて出力する。

【0021】本発明の一実施例の動作について説明する。まず、デバイス入力ピンのAC測定の動作について、図2、及び、図3のフローチャートと図4のタイミング・チャートを用いて説明する。

【0022】バウンダリ・スキャン・テスト機能において、TAPコントローラのTest-Logic-Resetステート3-1から、テスト・モード・セレクト入力TMSによるTMSロジック・シーケンス、及び、テスト・データ入力TDIにより、デバイス入力ピンのAC測定の私的命令Mode\_AC\_INを、命令レジスタ2-1に設定する。

【0023】私的命令Mode\_AC\_INにより、Capture-DRステート3-4で、初段のフリップ・フロップ2-11のデータ出力を、バウンダリ・スキャン・レジスタ2-9に取り込むように、第1のセクタ回路2-4を制御する。

【0024】次に、外部システム・クロックに同期したあるタイミングで目的とする初段のフリップフロップ2-11が活性化するデータを入力する。

【0025】初段のフリップ・フロップ2-11でラッチされたデータを、第1のセクタ回路2-4を介して、Capture-DRステート3-4のテスト・クロックTCKの立ち上がりエッジで、バウンダリ・スキャン・レジスタ2-9に取り込み、Shift-DRステート3-5のテスト・クロックTCKの立ち上がりエッジで、シリアルにシフトし、バウンダリ・スキャン・レジスタを通過させて、図1のセクタ1-11からトライステートバッファ1-14のバスを介してテスト・データ出力TD0で観測

し、出力期待値と比較する。これにより、例えばデバイス入力システム・クロックに対するセットアップ時間及びホールド時間を測定することができる。なお、初段のフリップ・フロップ2-11のデータ出力をテスト・クロックTCKでラッチする際に、確実にラッチできるように十分な時間を確保しておく。

【0026】次に、デバイス出力ピンのAC測定の動作について、図2及び、図3のフローチャートと図5のタイミング・チャートを用いて説明する。

【0027】バウンダリ・スキャン・テスト機能においてTAPコントローラ1-10のTest-Logic-Resetステート3-1から、テスト・モード・セレクト入力TMSによるTMSロジック・シーケンス及びテスト・データ入力TDIにより、デバイス出力ピンのAC測定の私的命令Mode\_AC\_OUTを命令レジスタに設定する。

【0028】私的命令Mode\_AC\_OUTより、Capture-DRステート3-4でバウンダリ・スキャン・レジスタ2-9の通常出力を、最終段のフリップ・フロップ2-12のデータ入力となるように第2のセクタ回路2-5を制御し、Update-DRステート3-9で、第2のセクタ回路2-5の出力を最終段のフリップ・フロップ2-12のデータ入力となるように第3のセクタ回路2-6を制御する。

【0029】Capture-DRステート3-4のテスト・クロックTCKの立ち上がりエッジで、最終段のフリップ・フロップ2-12から、デバイス出力ピンが活性化するデータをバウンダリ・スキャンレジスタ2-9に取り込み、Update-DRステート3-9のテスト・クロックTCKの立ち下がりエッジで、最終段のフリップ・フロップ2-12のデータ入力として設定しておき、外部システム・クロックを入力し、デバイス出力を観測して、出力期待値と比較する。

【0030】なお、図3に示したTAPコントローラ・ステートは、公知のものであり、その詳細な説明は省略する。

【0031】

【発明の効果】以上説明したように、本発明によれば、内部のフリップ・フロップ-フリップ・フロップ間とは独立させているので、任意のデバイス入力ピンから初段のフリップ・フロップまで、任意の最終段のフリップ・フロップからデバイス出力ピンまでを活性化させるテスト・パターンだけを必要とし、テスト時間の短縮、テスト・パターン数を削減し、テスト・パターン作成時間を短縮する、という効果を奏する。

【0032】さらに上記効果に加えて、本発明によれば、バウンダリ・スキャン・テスト機能の一部を利用しているため、複雑かつ大規模なテスト回路の追加なしにデバイス入力ピン及びデバイス出力ピンのAC測定を行える、という効果を有する。

【図面の簡単な説明】

【図1】本発明の実施の形態を説明するブロック図である。

【図2】本発明の一実施例の構成を示す図である。

【図3】TAPコントローラの状態遷移図である。

【図4】本発明の一実施例のAC測定を説明するタイミング図である。

【図5】本発明の一実施例のAC測定を説明するタイミング図である。

【図6】従来のデバイス入力のAC測定を説明するタイミング図である。

【図7】従来のデバイス出力のAC測定を説明するタイミング図である。

【図8】従来のAC測定を説明するブロック図である。

【符号の説明】

1-1 インタフェース回路

1-2 制御回路

1-3 テスト・データ・レジスタ

1-4 バウンダリ・スキャン・レジスタ

1-5 内部回路

1-6 バイパスレジスタ

1-7 命令レジスタ

1-8 命令デコーダ

1-9 シフト・レジスタ

1-10 TAPコントローラ

1-11、1-12 セクタ（マルチプレクサ）

1-13 フリップフロップ（D型フリップフロップ）

1-14 トライステートバッファ

2-1 命令レジスタ

2-2 命令デコーダ

2-3 制御回路

10 2-4、2-5、2-6 セクタ

2-7 バウンダリ・スキャン・レジスタ群

2-8、2-9、2-10 バウンダリ・スキャン・レジスタ

2-11、2-12、2-13 フリップフロップ

2-14、2-15、2-16 組み合わせ回路

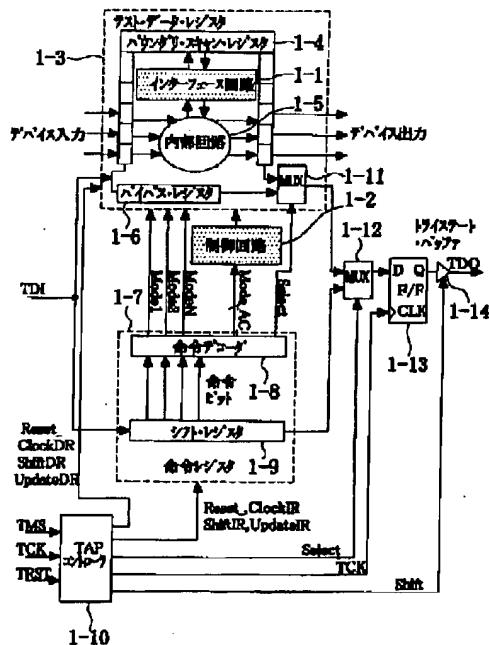
8-1、8-7、8-8、8-9、8-12 バウンダリ・スキャンレジスタ

8-2、8-4、8-6、8-10 組み合わせ回路

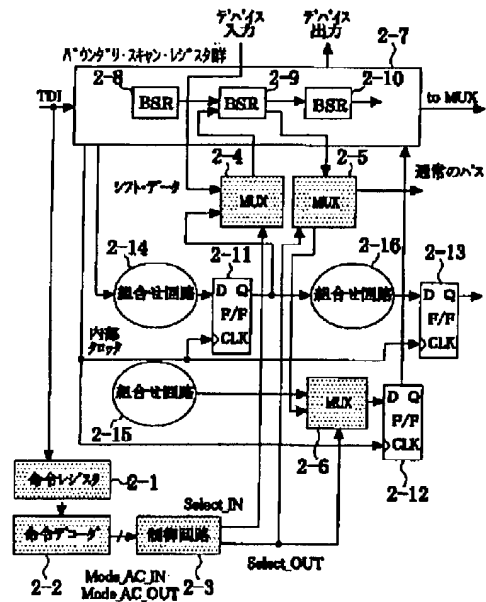
8-11 フリップフロップ

20 8-13 クリティカルパス

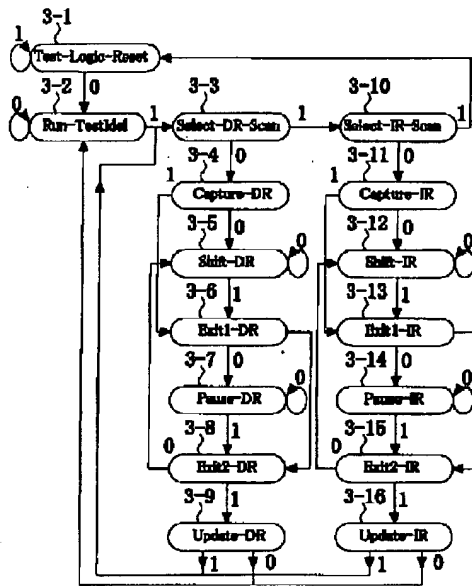
【図1】



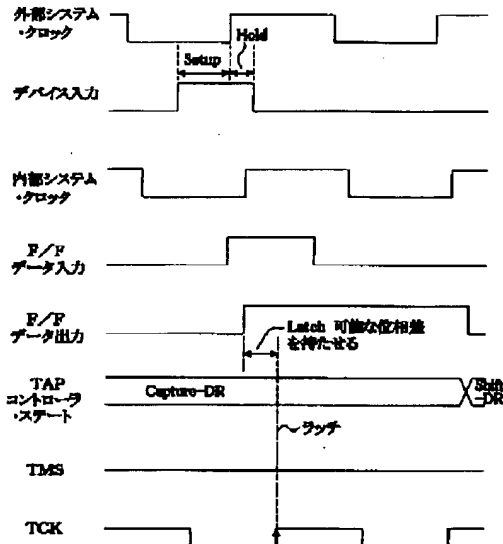
【図2】



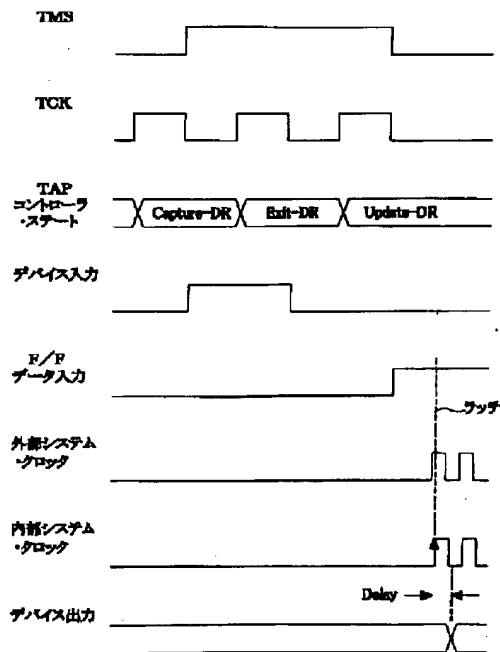
【図3】



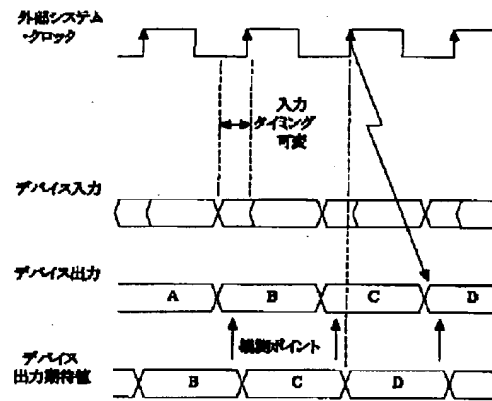
【図4】



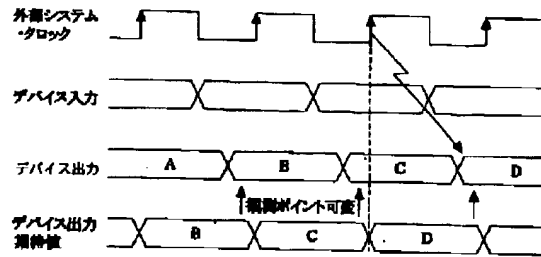
【図5】



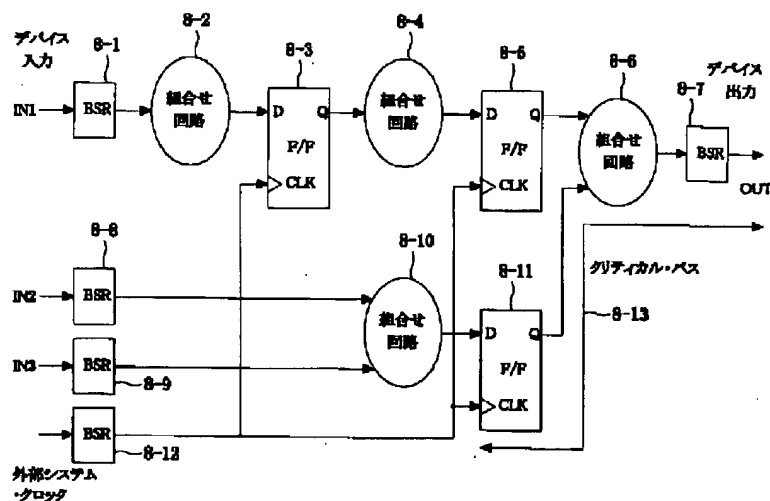
【図6】



【図7】



【図8】



## 【手続補正書】

【提出日】平成11年10月4日（1999. 10. 4）

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 バウンダリ・スキャン・テスト機能を有するLSIデバイスにおいて、内部回路とバウンダリ・スキャン・レジスタとの間にインターフェース回路を備えるとともに、デバイス入力ピン及びデバイス出力ピンのAC測定実行用の私的命令の

実行を制御する制御回路を備え、

バウンダリ・スキャン・レジスタ機能を用いて、前記デバイス入力ピンから初段のフリップ・フロップまで、及び、最終段のフリップ・フロップから前記デバイス出力ピンまでを、前記内部回路をなすフリップ・フロップ・フリップ・フロップ間の動作とは独立して観測可能とした、ことを特徴とするLSIデバイス用テスト回路。

【請求項2】 前記デバイス入力ピンのAC測定が、前記デバイス入力ピンからのデバイス入力データが前記初段のフリップ・フロップでラッチできるか否かが判定することで行われる、ことを特徴とする請求項1記載のLSIデバイス用テスト回路。

【請求項3】 前記デバイス出力ピンのAC測定が、最終



段のフリップ・フロップからのデータの遅延を判定することで行われる、ことを特徴とする請求項1又は2記載のLSIデバイス用テスト回路。

【請求項4】バウンダリ・スキャン・テスト機能を有するLSIデバイスにおいて、

デバイス入力ピン及びデバイス出力ピンAC測定実行用の私的命令の実行を制御する制御回路と、

前記制御回路から出力される制御信号により、内部ロジック回路とバウンダリ・スキャン・レジスタとの間のデータパスの切替を行なうセクタ群と、を備え、

AC測定実行用の私的命令の実行により、前記バウンダリ・スキャン・レジスタを用いて、前記デバイス入力ピンから、初段のフリップ・フロップまで、及び、最終段のフリップ・フロップからデバイス出力ピンまでを、内部回路をなすフリップ・フロップ-フリップ・フロップ間の動作とは、独立して観測可能に構成されてなる、ことを特徴とするLSIデバイス用テスト回路。

【請求項5】前記セクタ群がデバイス入力データと、初段のフリップ・フロップの出力データを入力し、前記制御回路からの制御信号によって、前記バウンダリ・スキャン・レジスタに取り込むデータを切り替える第1のセクタと、

前記制御回路からの制御信号によって、前記バウンダリ

・スキャン・レジスタからの出力データの出力先を、通常のバスもしくはテスト用のバスに切り替える第2のセクタと、

最終段のフリップ・フロップの前段に設けられ、通常のデータと、テスト用バスのデータである前記第2のセクタの出力とを入力し、前記制御回路からの制御信号によって、一方に切り替えて出力する第3のセクタと、を含む、ことを特徴とする請求項4記載のLSIデバイス用テスト回路。

【請求項6】前記デバイス入力ピンのAC測定の私的命令実行時、前記制御回路は、前記初段のフリップ・フロップのデータ出力を、前記バウンダリ・スキャン・レジスタに取り込むように、前記第1のセクタ回路を制御することを特徴とする請求項5記載のLSIデバイス用テスト回路。

【請求項7】前記デバイス出力ピンのAC測定の私的命令実行時、前記制御回路は、前記バウンダリ・スキャン・レジスタの通常の出力を、前記最終段のフリップ・フロップのデータ入力となるように前記第2のセクタ回路の出力先を制御し、前記第2のセクタ回路の出力を前記最終段のフリップ・フロップのデータ入力となるように前記第3のセクタ回路を制御することを特徴とする請求項5記載のLSIデバイス用テスト回路。

---

フロントページの続き

Fターム(参考) 2G032 AA01 AA04 AD05 AD06 AE07  
AE11 AG07 AH04 AH07 AK02  
AK11  
5B048 AA20 CC20 DD10 EE02 FF01